

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-192910

⑬ Int. Cl.⁵

H 03 H 17/02
G 06 F 15/31
H 03 H 17/04

識別記号

L
D
Z

庁内整理番号

8731-5J
6798-5L
8731-5J

⑭ 公開 平成4年(1992)7月13日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 デジタル信号処理装置

⑯ 特 願 平2-327820

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 吉 江 一 明 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑳ 代 理 人 弁理士 吉田 研二 外2名

明 細 書

1. 発明の名称

デジタル信号処理装置

2. 特許請求の範囲

インパルス応答が無限に続くことが可能な IIR デジタルフィルタを実現するデジタル信号処理装置であって、

IIR フィルタ係数導出に必要な三角関数・指数関数等の四則演算以外の数値計算結果を予め記憶するメモリと、

このメモリから必要な数値を読み出し、四則演算により IIR フィルタのフィルタ係数を算出する演算手段と、

を有することを特徴とするデジタル信号処理装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はデジタル信号処理装置、特に IIR デジタルフィルタを実現するものに関する。

[従来の技術]

従来アナログ信号をデジタル的な手法によって処理するシステムとしてデジタル信号処理装置(DSP: デジタル・シグナル・プロセッシング)が知られている。

デジタル信号処理装置はアナログ信号処理に比べ高精度処理が可能で、パラメータの設定により任意の特性が安定して得られると共に、調整が不要になるなどの特徴を有する。このため、デジタル信号処理装置の応用範囲は音声信号処理や通信信号処理など広い範囲に及んできている。

特に、オーディオ分野においてはCDプレーヤや、DATプレーヤのようにオーディオ信号のデジタル処理化が進展するにともない、デジタル信号処理装置の利用が進んでいる。

例えば、オーディオ分野で使用されるデジタルフィルタとして動作するデジタル信号処理装置は第2図に示す構成を取っている。

すなわち、従来のデジタル信号処理装置は、データバス11に接続されたインタフェース回路12、データRAM13、乗算器14、演算回路

ALU15、アキュムレータ(ACC)16と、データRAM13の出力とデータROM17の出力が接続された乗算器14とを有し、乗算器14の乗算結果出力が演算回路(ALU)15の一方の入力に印加されている。

また、これらの各回路は、プログラムROM18から順次読み出される命令に応じてデコード19によりデコードされるマイクロコード信号によって制御される。

デジタルフィルタをデジタル信号処理装置で実現する場合には、フィルタ内の節点の計算順序を決定して、制御用プログラムを作成し、この制御用プログラムをプログラムROM18に格納する。また、このプログラムの実行において必要な計算式をデータROM17内に格納する。そして、そのプログラムを実行することにより、乗加算演算を行い、その演算結果をデータRAM13に順次記憶する。

ここで、この種のデジタルフィルタにおいては、

$$Y = A \cdot X_{i-1} + B \cdot X_{i-2} + C \cdot X_{i-3} + \dots$$

って、外部から入力されるデジタルデータと、インタフェース回路12を介して入力されるコントローラ21のメモリ22に記憶されたフィルタ係数を乗算し、その乗算結果を用いて所定の乗算あるいは加算を行っていた。

〔発明が解決しようとする課題〕

このように、従来の装置においては、動作の際にフィルタ係数を外部から得なければならない。このため、高速動作の実現のためには、そのためのインターフェース回路や専用のバスを必要とするなど、種々の面で大きな制約となっていた。

また、コントローラ内において、大きなメモリを必要とするという問題点もあった。

本発明は上記のような問題点を解消することを課題としてなされたものであり、フィルタ係数の算出の一部をデジタル信号処理装置自身で行わせることにより、フィルタ係数を記憶するメモリの容量を軽減化し、デジタル信号処理装置内に内蔵することを目的としている。

〔課題を解決するための手段〕

・・・(1)
 という形の乗加算演算を繰り返す。ここで、所定の定数である(1)式に示すA、B、C...をデジタルフィルタのフィルタ係数という。従来のデジタル信号処理装置では、これらのフィルタ係数を外部の計算機によって予め計算し、計算結果をメモリ格納している。そこで、動作時には、格納されているフィルタ係数を読み出して使用していた。

ところが、オーディオ信号処理におけるグラフィックイコライザ等のように、フィルタ係数を可変的に扱うシステムを実現する場合は、フィルタ係数の数が膨大なものとなる。従って、デジタル信号処理装置内にフィルタ係数を格納するメモリを設けることはできず、外部に大規模なメモリを内蔵するコントローラを設け、デジタルフィルタの動作時にこのコントローラからフィルタ係数の供給を受けていた。

すなわち、デジタルフィルタの動作時には、プログラムROM18に格納されたプログラムによ

本発明に係るデジタル信号処理装置は、IIRフィルタ係数導出に必要な三角関数・指数関数等の四則演算以外の数値計算結果を予め記憶するメモリと、このメモリから必要な数値を読み出し、四則演算によりIIRフィルタのフィルタ係数を算出する演算手段と、を有することを特徴とする。

〔作用〕

フィルタ係数導出に必要な三角関数、指数関数等の高精度の数値計算は、外部の計算機で予め行い、その数値計算結果をデジタル信号処理装置のメモリに予め記憶されている。このため、デジタルフィルタとしての動作時には、内部のメモリから得られるデータから残りのフィルタ係数算出のための計算を行いフィルタ係数を導出し、これを利用してデジタルフィルタとしての演算を行う。

このように、フィルタ係数そのものではなく、係数導出のために必要なその基礎となる定数を記憶する。このため、その記憶容量が小さくなり、デジタル信号処理回路内に内蔵することが可能となる。

また、フィルタ導出のための残りの演算は、デジタル信号処理装置によって高速に行える四則演算、すなわち加算演算と簡単な除算のみであり、高速のフィルタ動作を維持することができる。また、インターフェース回路等を簡略化できる。

【実施例】

以下、本発明の一実施例を図面に基づいて説明する。第1図は本発明のIIRフィルタ係数導出方式を具体化する固定小数点演算を行なうデジタル信号処理装置のブロック図である。

本実施例のデジタル信号処理装置の構成は、第2図に示す従来のデジタル信号処理装置と基本的には同様である。しかし、フィルタ係数を外部のコントローラのメモリに記憶するのではなく、内部のメモリに記憶されているデータに基づいて行う。このために、フィルタ係数を導出する際に必要な三角関数、指数関数等四則演算以外の演算によって得られる基礎データ記憶部20をデータROM17内に有している。

ここで、2次のIIRフィルタのフィルタ係数

$B = B' / F \cdots$ ここで B' は

$$B' = (\Omega^2 - 4) \cdot 2$$

$C = C' / F \cdots$ ここで C' は

$$C' = 4 - 2 \cdot \Omega \cdot Q + \Omega^2$$

$D = D' / F \cdots$ ここで D' は

$$D' = -B$$

$E = E' / F \cdots$ ここで E' は

$$E' = -(4 - 2 \cdot \Omega \cdot Q + \Omega^2)$$

なお、 $F = 4 + 2 \cdot \Omega \cdot Q + \Omega^2$ である。

(I) 上記の Ω 、 Q 、 g はそれぞれ以下の値であって、それらは事前に別の計算機により計算の上、データROM17の基礎データ記憶部20にデータとして記憶されている。

$$\Omega = 2 \cdot \tan(\pi f_d / f_s)$$

ここで、 f_d = センタ周波数 (hz)

f_s = サンプル周波数 (hz)

$$Q = 1/q$$

ここで、 q = フィルタの quality

$$g = 10 \text{ gain} / 20$$

(III) 上記 (II) で示した Ω 、 Q 、 g は別の計

(A, B, C, D, E) を求める計算式を示す。

(I) 処理データの利得を示す gain は、

$$\text{gain} = 20 \cdot \log Y(t) / X(t)$$

で示されるが、この gain の値により、フィルタ係数は次の通り求められる。

(a) gain ≥ 0 の場合。

$A = A' / F \cdots$ ここで A' は

$$A' = 4 + 2 \cdot \Omega \cdot Q + \Omega^2$$

$B = B' / F \cdots$ ここで B' は

$$B' = (\Omega^2 - 4) \cdot 2$$

$C = C' / F \cdots$ ここで C' は

$$C' = 4 - 2 \cdot \Omega \cdot Q + \Omega^2$$

$D = D' / F \cdots$ ここで D' は

$$D' = -B$$

$E = E' / F \cdots$ ここで E' は

$$E' = -(4 - 2 \cdot \Omega \cdot Q + \Omega^2)$$

なお、 $F = 4 + 2 \cdot \Omega \cdot Q + \Omega^2$ である。

(b) gain < 0 の場合。

$A = A' / F \cdots$ ここで A' は

$$A' = 4 + 2 \cdot \Omega \cdot Q + \Omega^2$$

算機により計算の上データROM17内の基礎データ記憶部20に記憶されている。このため、上記 (I) で示されたフィルタ係数の計算式から明らかのように、フィルタ係数 A, B, C, D, E は乗加算演算と簡単な除算で求まる。

従って、第1図に示す乗算器14、演算回路(ALU)15によりフィルタ係数が計算される。

このように本実施例によれば、フィルタ係数はデジタル信号処理装置自身で計算して求めることが出来るので、従来のデジタル信号処理装置のように、予め計算されたフィルタ係数を外部の計算機等のメモリに格納しておく方式に比べ、メモリ容量を大幅に削減することができる。

すなわち、フィルタ係数を記憶するアドレス数での比較を示すと、以下の通りである。

まず、アドレス数を求める場合、

① f_d = センタ周波数

② f_s = サンプル周波数

③ q = フィルタの quality

④ $\text{gain} = 20 \cdot \log Y(t) / X(t)$

について、それぞれいくつかのポイントを選択してフィルタ係数を求めることになる。

このため、従来の方式によれば、フィルタ係数の記憶数は、

アドレス数 = ① × ② × ③ × ④ × フィルタ係数数となる。

ところが、本実施例式では、

アドレス数 = ① × ② + ③ + ④

でよいことになる。

これを具体的な数値例を上げて説明すると、次のようになる。

例えば、上記各要素のポイント数を次のように設定する。

- ① センタ周波数 = 5 ポイント
- ② サンプリング周波数 = 3 ポイント
- ③ フィルタの quality = 5 ポイント
- ④ gain = 12 ポイント

この場合、従来の方式によれば、フィルタ係数数は A, B, C, D, E の 5 種類であるので、

アドレス数 = ① × ② × ③ × ④ × フィルタ係数数

$$= 5 \times 3 \times 5 \times 12 \times 5$$

$$= 4500 \text{ アドレス}$$

となるが、本実施例では、

$$\text{アドレス数} = ① \times ② + ③ + ④$$

$$= 5 \times 3 + 5 + 12$$

$$= 32 \text{ アドレス}$$

となる。

〔発明の効果〕

以上説明したように、本発明の IIR フィルタ係数導出方式によれば、フィルタ係数導出に必要な三角関数、指数関数等の計算結果をメモリに記憶する場合に比べ、記憶容量を小さくすることができ、デジタル信号処理装置にメモリを内蔵することができる。そこで、インターフェース回路等を簡略化することができる。

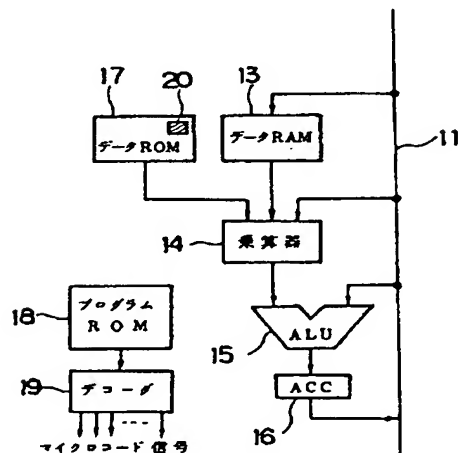
また、フィルタ係数算出のための残りの演算は簡単な四則演算だけであるため、デジタル信号処理装置において高速に行うことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るデジタル信号処理装置のブロック図。

第2図は、デジタルフィルタを形成する従来のデジタル信号処理装置のブロック図である。

- 11 ... データバス
- 12 ... インタフェース回路
- 13 ... データRAM
- 14 ... 乗算器
- 15 ... 演算回路 (ALU)
- 16 ... アキュムレータ (ACC)
- 17 ... データROM
- 18 ... プログラムROM
- 19 ... デコーダ
- 20 ... 基礎データ記憶部
- 21 ... コントローラ
- 22 ... メモリ

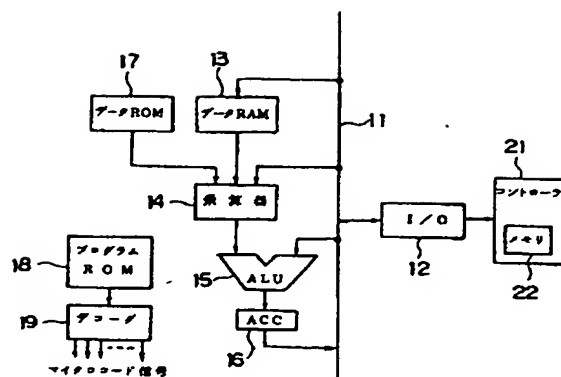


第1図

出願人 三洋電機株式会社

代理人 弁理士 吉田 研二

(外2名) [D-96]



第 2 図